



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 15 日
Application Date

申請案號：092108626
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 29 日
Issue Date

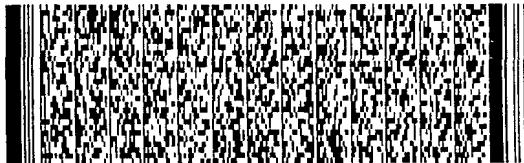
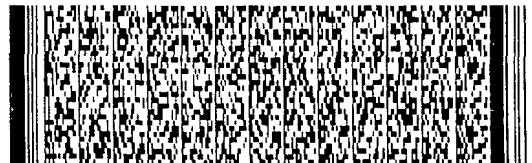
發文字號：09220532090
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有溝槽頂端絕緣層之半導體裝置及其形成方法
	英文	SEMICONDUCTOR DEVICE HAVING TRENCH TOP ISOLATION LAYERS AND METHOD FOR FORMING THE SAME
二、 發明人 (共3人)	姓名 (中文)	1. 陳逸男 2. 吳鐵將 3. 林峰全
	姓名 (英文)	1. Yi-Nan Chen 2. Tieh-Chiang Wu 3. Feng-Chuan Lin
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北市建民路151巷4號 2. 宜蘭縣三星鄉萬德村93之7號 3. 台北市大安區黎孝里12鄰樂業街169巷54號3樓
	住居所 (英 文)	1. 2. 3.
	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
名稱或 姓名 (英文)	1. Nanya Technology Corporation.	
國籍 (中英文)	1. 中華民國 ROC	
住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)	
住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C	
代表人 (中文)	1. 連日昌	
代表人 (英文)	1. Jih-Chang Lien	



本發明揭示一種具有溝槽頂端絕緣層之半導體裝置之形成方法。首先，提供具有至少一溝槽之基底，並在溝槽下半部之側壁形成一項圈絕緣層。在溝槽下半部形成一第一導電層且突出項圈絕緣層，再在其上形成一第二導電層並覆蓋項圈絕緣層。接著，在溝槽上半部之側壁形成一絕緣間隙壁，且其與第二導電層之間具有一間隙。熱氧化第二導電層，以在其上形成氧化矽層並填滿間隙。之後，去除氧化矽層，並以化學氣相沉積在第二導電層上形成一凸型溝槽頂端絕緣層。最後，去除絕緣間隙壁。本發明亦揭示一種具有溝槽頂端絕緣層之半導體裝置。

伍、(一)、本案代表圖為：第2g圖。

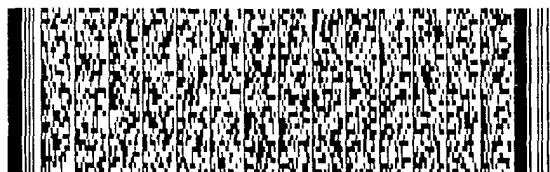
(二)、本案代表圖之元件代表符號簡單說明：

200~基底；

202~墊氧化矽層；

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE HAVING TRENCH TOP ISOLATION LAYERS AND METHOD FOR FORMING THE SAME)

A method for forming a semiconductor device having trench top isolation layers. A substrate has a trench therein and a collar oxide is formed over the sidewall of the lower trench. A first conductive layer is formed in the lower trench and protrudes the collar oxide, and then a second conductive layer is formed on the first conductive layer and covers the collar oxide. An insulating



四、中文發明摘要 (發明名稱：具有溝槽頂端絕緣層之半導體裝置及其形成方法)

204~氮化矽層；
205~罩幕層；
206~項圈絕緣層；
208~第一導電層；
210~汲極摻雜區；
212~第二導電層；
220~溝槽頂端氧化矽層；
222~閘極介電層；
224~源極摻雜區；
226~閘極。

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE HAVING TRENCH TOP ISOLATION LAYERS AND METHOD FOR FORMING THE SAME)

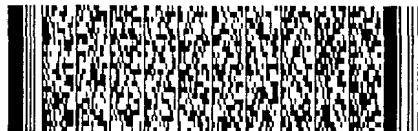
spacer is formed over the sidewall of the upper trench where a gap is between the second conductive layer and it. The second conductive layer is thermally oxidized to form an oxide layer thereon and fills the gap. The oxide layer is removed before a reverse T-shaped trench top isolation layer is formed on the second conductive layer by chemical vapor deposition, and then the



四、中文發明摘要 (發明名稱：具有溝槽頂端絕緣層之半導體裝置及其形成方法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE HAVING TRENCH TOP ISOLATION LAYERS AND METHOD FOR FORMING THE SAME)

insulating spacer is removed. A semiconductor device having trench top isolation layers is also disclosed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之領域】

本發明係有關於一種溝槽頂端絕緣層之形成方法，特別是有關於一種具有溝槽頂端氧化矽層 (trench top oxide, TTO) 之半導體裝置及其形成方法。

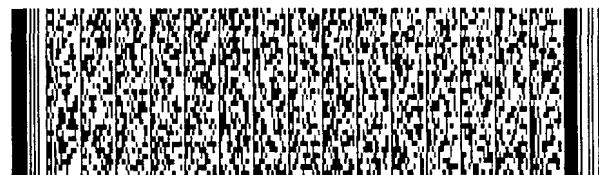
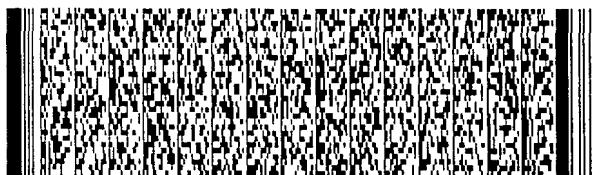
【先前技術】

在多樣化的電子產品中，例如電腦、手機等，常使用到半導體裝置。而為了增加積體電路的積集度，必須縮小半導體裝置的尺寸以增加半導體裝置於電路上的密度。

用於儲存資料的電子系統中，最常見的就是半導體記憶裝置，例如一動態隨機存取記憶體 (dynamic random access memory, DRAM)。典型的DRAM通常包含一存取場效電晶體 (FET) 及一儲存電容。此存取場效電晶體容許資料電荷於讀取與寫入操作期間進入及離開儲存電容。

為了縮小半導體記憶裝置之尺寸，故發展出垂直式記憶裝置。在垂直式記憶裝置技術中，儲存電容係設置於一深溝槽之下半部，而存取場效電晶體則設置於深溝槽之上半部。另外，一厚介電層係設置於電容與電晶體之間以作為一電性絕緣層，其稱作溝槽頂端氧化矽層 (trench top oxide, TTO)。

以下配合第1圖說明習知之具有溝槽頂端絕緣層之半導體裝置。此半導體裝置包含一基底100，例如一矽基底，其具有由罩幕層105所定義出之深溝槽103。其中，罩幕層105係由一墊氧化矽層102及一氮化矽層104所構成。



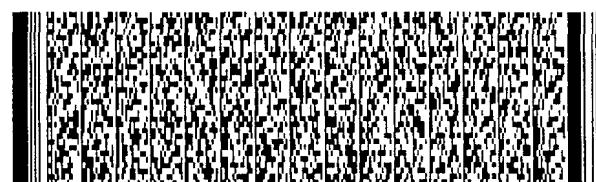
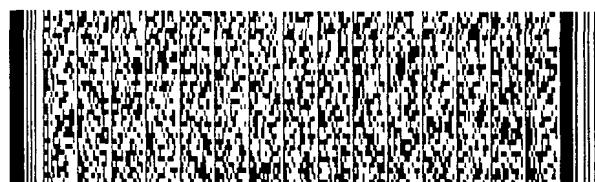
五、發明說明 (2)

一溝槽型儲存電容（未繪示），設置於溝槽103下半部。一項圈絕緣層106，例如一氧化矽層，設置於溝槽下半部（儲存電容上方）之側壁。

一導電層108，例如一複晶矽層，係設置於溝槽103下半部（儲存電容上方），並突出項圈絕緣層106，且導電層112，例如一摻雜的複晶矽層，設置於導電層108上，並覆蓋項圈絕緣層106。再者，溝槽頂端氧化矽層(TTO)114，例如由四乙基矽酸鹽(TEOS)所形成之氧化物，係設置於導電層112上。

一埋入帶(buried strape)110，形成於鄰近項圈絕緣層106上方之基底100中，用以作為後續形成之垂直電晶體之汲極區，其透過導電層108及112而與儲存電容電性連接。此處，埋入帶110可經由熱製程將摻雜的介電層（未繪示）中之摻雜離子驅入基底100而形成。

一溝槽頂端氧化矽層(TTO)114係設置於導電層112上方，用以作為儲存電容與後續形成之垂直電晶體之間之電性絕緣。典型地，溝槽頂端氧化矽層114之形成包括下列步驟：首先，藉由高密度電漿化學氣相沉積法(high-density plasma CVD, HDPCVD)在罩幕層105上方及溝槽103內表面（導電層112上方）順應性形成一氧化矽層。其中，溝槽103中的氧化矽層之底部厚於其側壁部。接著，藉由研磨處理去除罩幕層105上的氧化矽層以及藉由濕蝕刻去除溝槽103側壁之氧化矽層。然而，在濕蝕刻之後所形成之氧化矽之均勻性非常差，如圖中所示。特別地，在



五、發明說明 (3)

溝槽頂端氧化矽層114中間部分發生碟化現象，導致絕緣特性不佳，降低了半導體記憶裝置之可靠度。

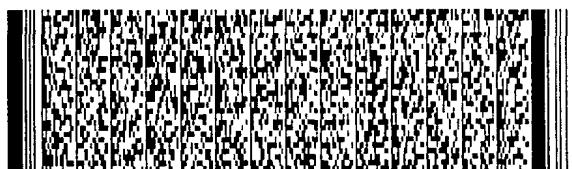
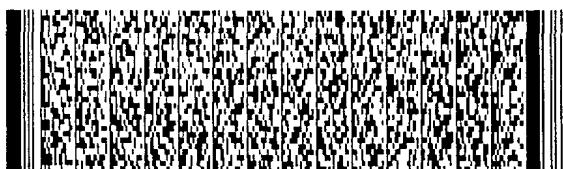
【發明內容】

有鑑於此，本發明之目的在於提供一種具有溝槽頂端絕緣層之半導體裝置之形成方法，其藉由兩階段沉積（熱氧化及化學氣相沉積）來形成溝槽頂端絕緣層並精確地控制其厚度，以取代傳統單一階段沉積（高密度電漿沉積）。

本發明之另一目的在於提供一種具有溝槽頂端絕緣層之半導體裝置，其利用一凸型溝槽頂端氧化矽層以增加其邊緣均勻性（edge uniformity）並防止溝槽頂端氧化矽層中間部分因碟化（dishing）現象而造成不良的絕緣特性。

根據上述之目的，本發明提供一種具有溝槽頂端絕緣層之半導體裝置之形成方法。首先，提供一基底，其具有至少一溝槽，在溝槽下半部之側壁形成一項圈絕緣層。接著，在溝槽下半部形成一第一導電層，其中第一導電層突出該項圈絕緣層，再在第一導電層上形成一第二導電層並覆蓋項圈絕緣層。之後，在溝槽上半部之側壁形成一絕緣間隙壁，其中絕緣間隙壁與第二導電層之間具有一間隙。

接著，實施一熱氧化程序，以在第二導電層上形成一氧化矽層並填滿間隙。然後，去除氧化矽層。最後，實施一化學氣相沉積程序，以在第二導電層上形成一凸型絕緣



五、發明說明 (4)

層以作為溝槽頂端絕緣層，並將絕緣間隙壁去除。上述方法更包括在凸型絕緣層上方形成一閘極，其中閘極與基底絕緣。

再者，項圈絕緣層可為一氧化矽層。第一導電層可為一複晶矽層，且第二導電層可為一摻雜的複晶矽層。

再者，絕緣間隙壁可由一墊氧化矽層及一氮化矽層所構成，且其厚度在200~300 埃的範圍。間隙之寬度在50~60 埃的範圍。

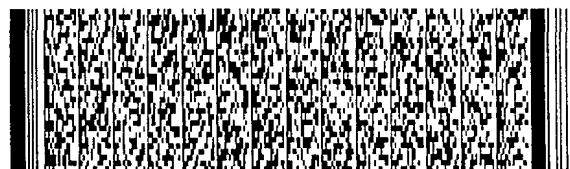
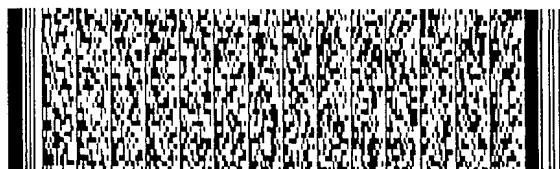
再者，凸型絕緣層可由四乙基矽酸鹽 (tetraethyl orthosilicate, TEOS) 所形成之氧化物並藉由低壓化學氣相沉積 (low-pressure CVD, LPCVD) 形成之。

根據上述之另一目的，本發明提供一種具有溝槽頂端絕緣層之半導體裝置。此半導體裝置包括：一基底、一第一導電層、一第二導電層、及一凸型絕緣層。基底具有至少一溝槽，且一項圈絕緣層設置於溝槽下半部之側壁。第一導電層設置於溝槽下半部，並突出項圈絕緣層，且第二導電層設置於第一導電層上，並覆蓋項圈絕緣層。凸型絕緣層設置於第二導電層上，以作為溝槽頂端絕緣層。一閘極設置於凸型絕緣層上方且與基底絕緣。

再者，項圈絕緣層可為一氧化矽層。第一導電層可為一複晶矽層，且第二導電層可為一摻雜的複晶矽層。

再者，凸型絕緣層可由四乙基矽酸鹽 (TEOS) 所形成之氧化物。

為讓本發明之上述目的、特徵和優點能更明顯易懂，



五、發明說明 (5)

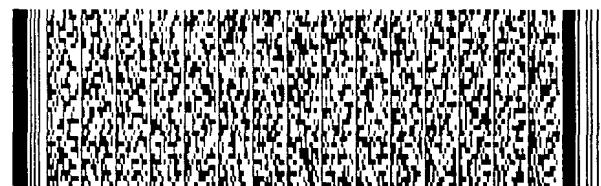
下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下配合第2a到2g圖說明本發明實施例之具有溝槽頂端絕緣層之半導體裝置之形成方法。

首先，請參照第2a圖，提供一基底200，例如一矽基底。在基底200表面上形成一罩幕層205。如圖中所示，罩幕層205可由一層墊氧化矽層202與一層較厚的氮化矽層204所組成。其中，墊氧化矽層202的厚度約100埃(Å)左右，且其形成方法可為熱氧化法沉積而成。氮化矽層204的厚度約在1000到2000埃的範圍，且可利用低壓化學氣相沉積法，以二氯矽烷($SiCl_2H_2$)與氨氣(NH_3)為反應原料沉積而成。接著，藉由習知微影及蝕刻製程於罩幕層205中形成複數開口，再以罩幕層205作為蝕刻罩幕，進行非等向性蝕刻製程，例如反應離子蝕刻(reactive ion etching, RIE)，蝕刻罩幕層205之開口下方之基底200而形成複數溝槽。此處，為了簡化圖式，僅以一溝槽203表示之。

接著，藉由習知技術在溝槽203底部形成一溝槽電容(未繪示)。溝槽電容包含：一埋入式下電極(buried plate, BP)、一電容介電層、及一上電極。其中，埋入式下電極係一位於溝槽203底部基底200中之摻雜區。電容介電層可為氧化矽—氮化矽(ON)疊層結構或氧化矽—氮



五、發明說明 (6)

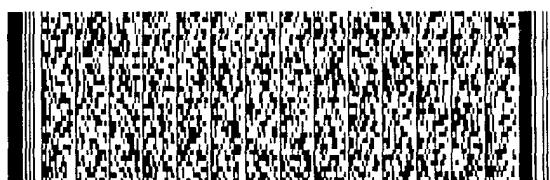
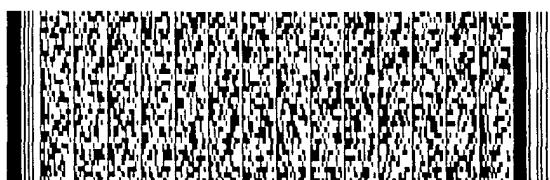
化矽一氧化矽 (ONO) 疊層結構。上電極可由摻雜的複晶矽所構成。

接著，在溝槽203下半部之側壁（溝槽電容上方）形成一項圈絕緣層206，例如項圈氧化矽層 (collar oxide)。之後，在鄰近項圈絕緣層206上方之基底200中形成一摻雜區210以在後續製程中作為一汲極摻雜區。此處，摻雜區210可經由熱製程將摻雜的介電層（未繪示）中之摻雜離子驅入基底200而形成。

接著，在溝槽203下半部（溝槽電容之上電極上方）形成一第一導電層208，例如一複晶矽層或是摻雜的複晶矽層，其中第一導電層208突出項圈絕緣層206。之後，再在第一導電層208上形成一第二導電層212，例如一摻雜的複晶矽層，並覆蓋項圈絕緣層206，以形成一大體平坦之表面。在本實施例中，溝槽電容係透過第一及第二導電層208及212與摻雜區210電性連接。

接下來，請參照第2b圖，在罩幕層205上方及溝槽203內表面依序順應性形成一墊氧化矽層214及一氮化矽層216。在本實施例中，墊氧化矽層214可由四乙基矽酸鹽 (TEOS) 所形成之氧化物並藉由化學氣相沉積形成之，其厚度約在50到60埃的範圍。同樣地，氮化矽層216可藉由化學氣相沉積形成之，且厚度約在150到240埃的範圍。

接下來，請參照第2c圖，藉由非等向性蝕刻，例如RIE，去除罩幕層205上方及溝槽203底部（第二導電層212上方）之墊氧化矽層214及氮化矽層216，以在溝槽203上



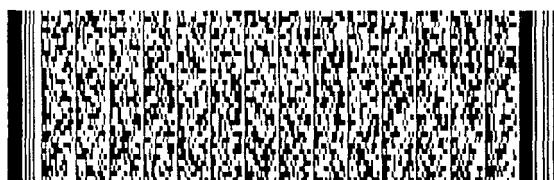
五、發明說明 (7)

半部之側壁形成絕緣間隙壁214a及216a，其厚度在200~300埃的範圍。之後，以絕緣間隙壁216a作為罩幕層，並藉由氫氟酸(HF)或其他蝕刻溶液來去除底部的絕緣間隙壁214a，使得絕緣間隙壁214a及216a與第二導電層212之間具有一間隙，其中該間隙之寬度d在50~60埃的範圍。

接下來，請參照第2d圖，實施一熱氧化程序，以在該第二導電層212上形成一摻雜的氧化矽層218並填滿間隙。此處，由於氮化矽所構成之絕緣間隙壁216a可阻止氧氣與第二導電層212之氧化作用，所以摻雜的氧化矽層218可於填滿間隙後停止成長，藉以在後續形成溝槽頂端絕緣層時，精確地控制其厚度。再者，藉由熱氧化法形成之摻雜的氧化矽層218可具有良好之均勻性。

接下來，請參照第2e圖，摻雜的氧化矽層218之絕緣特性較差而不適於作為溝槽頂端絕緣層。在本實施例中，係藉由氫氟酸(HF)去除摻雜的氧化矽層218並留下一具有較佳邊緣均勻性之空間以供後續形成溝槽頂端絕緣層之用。

接下來，請參照第2f圖，實施一化學氣相沉積程序，以在上述空間填入一絕緣層220，以作為溝槽頂端絕緣層。在本實施例中，係藉由低壓化學氣相沉積(LPCVD)在第二導電層212上方之空間沉積一由四乙基矽酸鹽(TEOS)所形成之氧化物並突出該空間，以構成一凸形溝槽頂端氧化矽層(TTO)220。



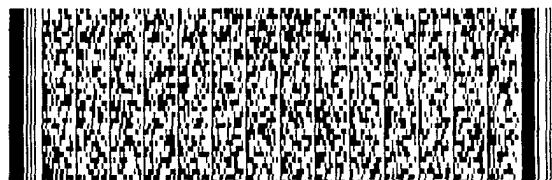
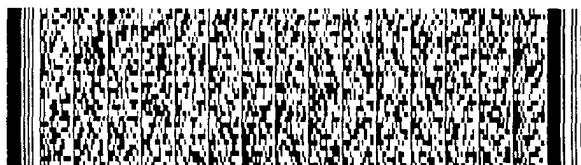
五、發明說明 (8)

最後，請參照第2g圖，去除絕緣間隙壁214a及216a以露出溝槽203上半部之側壁。接著，藉由習知技術在凸型絕緣層220上方形成一垂直電晶體。

同樣地，請參照第2g圖，其繪示出本發明之具有溝槽頂端絕緣層之半導體裝置剖面示意圖。此半導體裝置，例如一動態隨機存取記憶體，包含一基底200、一第一導電層208、一第二導電層212、一凸型絕緣層220、及一垂直電晶體。基底200具有至少一溝槽203，且一項圈絕緣層206設置於溝槽下半部之側壁。此處，項圈絕緣層206可為一氧化矽層。

第一導電層208，例如一複晶矽層，係設置於溝槽203下半部，並突出項圈絕緣層206，且第二導電層212，例如一摻雜的複晶矽層，係設置於第一導電層208上，並覆蓋項圈絕緣層212。再者，凸型絕緣層220，例如由四乙基矽酸鹽(TEOS)所形成之氧化物，係設置於第二導電層212上，以作為溝槽頂端氧化矽層(TTO)。

垂直電晶體係設置於凸型絕緣層220上方，其包含一閘極226、一閘極介電層224、一汲極摻雜區210、及一源極摻雜區224。其中，源極摻雜區224可藉由離子植入程序形成於鄰近溝槽203頂部之基底200中。汲極摻雜區210可經由熱製程將摻雜的介電層(未繪示)中之摻雜離子驅入基底200而形成於鄰近項圈絕緣層206上方之基底200中。閘極介電層222可以是由熱氧化法所形成氧化矽層。閘極226可由摻雜的複晶矽所構成並藉由閘極介電層224而與基

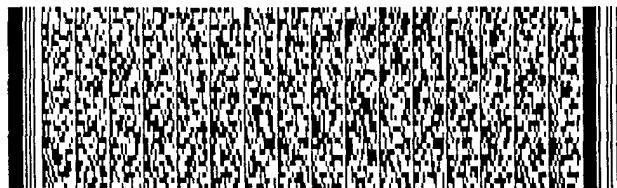


五、發明說明 (9)

底 200 絝緣。

相較於習知技術，由於本發明之溝槽頂端絕緣層係無須藉由高密度電漿化學氣相沉積來形成之，所以不會發生碟化現象。再者，本發明之溝槽頂端絕緣層係藉由低壓化學氣相沉積而將氧化矽層填入去除熱氧化層所留下之具有良好邊緣均勻性之空間，因此溝槽頂端氧化矽層之邊緣均勻性較佳。再者，本發明之凸型溝槽頂端絕緣層可提升其絕緣特性而增加半導體裝置之可靠度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係繪示出習知之具有溝槽頂端絕緣層之半導體裝置剖面示意圖。

第2a到2g圖係繪示出根據本發明實施例之形成具有溝槽頂端絕緣層之半導體裝置之剖面示意圖。

符號說明：

習知

100~基底；

102~墊氧化矽層；

103~溝槽；

104~氮化矽層；

105~罩幕層；

106~項圈絕緣層；

108、112~導電層；

114~溝槽頂端氧化矽層。

本發明

200~基底；

202、214~墊氧化矽層；

203~溝槽；

204、216~氮化矽層；

205~罩幕層；

206~項圈絕緣層；

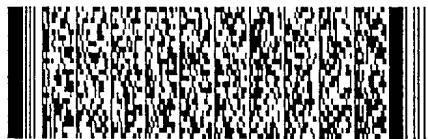
208~第一導電層；

210~汲極摻雜區；



圖式簡單說明

212~ 第二導電層；
214a、216a~ 絝緣間隙壁；
218~ 摻雜的氧化矽層；
220~ 溝槽頂端氧化矽層；
222~ 閘極介電層；
224~ 源極摻雜區；
226~ 閘極。



六、申請專利範圍

1. 一種具有溝槽頂端絕緣層之半導體裝置之形成方法，包括下列步驟：

提供一基底，該基底具有至少一溝槽；

在該溝槽下半部之側壁形成一項圈絕緣層；

在該溝槽下半部形成一第一導電層，其中該第一導電層突出該項圈絕緣層；

在該第一導電層上形成一第二導電層並覆蓋該項圈絕緣層；

在該溝槽上半部之側壁形成一絕緣間隙壁，其中該絕緣間隙壁與該第二導電層之間具有一間隙；

實施一熱氧化程序，以在該第二導電層上形成一氧化矽層並填滿該間隙；

去除該氧化矽層；

實施一化學氣相沉積程序，以在該第二導電層上形成一凸型絕緣層以作為該溝槽頂端絕緣層；以及

去除該絕緣間隙壁。

2. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，更包括在該凸型絕緣層上方形成一閘極，其中該閘極與該基底絕緣。

3. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該項圈絕緣層係一氧化矽層。

4. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該第一導電層係一複晶矽



六、申請專利範圍

層。

5. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該第二導電層係一摻雜的複晶矽層。

6. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該絕緣間隙壁係由一墊氧化矽層及一氮化矽層所構成。

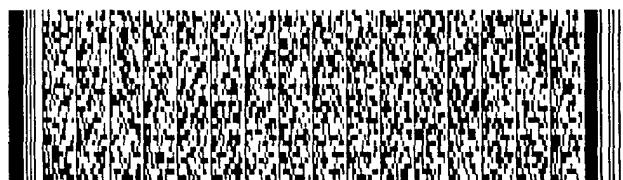
7. 如申請專利範圍第6項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該絕緣間隙壁之厚度在200~300埃的範圍。

8. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該間隙之寬度在50~60埃的範圍。

9. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該化學氣相沉積係低壓化學氣相沉積（LPCVD）。

10. 如申請專利範圍第1項所述之具有溝槽頂端絕緣層之半導體裝置之形成方法，其中該凸型絕緣層係由四乙基矽酸鹽（TEOS）所形成之氧化物。

11. 一種具有溝槽頂端絕緣層之半導體裝置，包括：
一基底，該基底具有至少一溝槽；
一項圈絕緣層，設置於該溝槽下半部之側壁；
一第一導電層，設置於該溝槽下半部，並突出該項圈絕緣層；



六、申請專利範圍

一 第二導電層，設置於該第一導電層上，並覆蓋該項圈絕緣層；

一 凸型絕緣層，設置於該第二導電層上，以作為該溝槽頂端絕緣層；以及

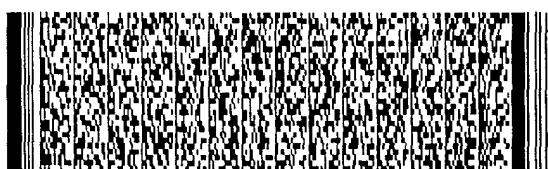
一 閘極，設置於該凸型絕緣層上方且與該基底絕緣。

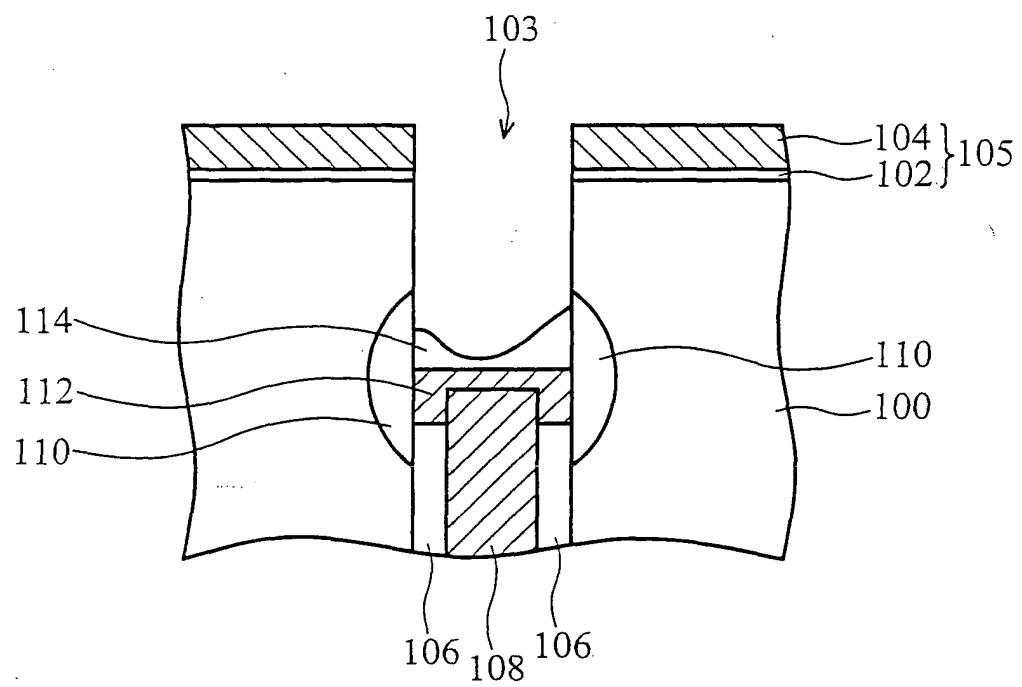
12. 如申請專利範圍第11項所述之具有溝槽頂端絕緣層之半導體裝置，其中該項圈絕緣層係一氧化矽層。

13. 如申請專利範圍第11項所述之具有溝槽頂端絕緣層之半導體裝置，其中該第一導電層係一複晶矽層。

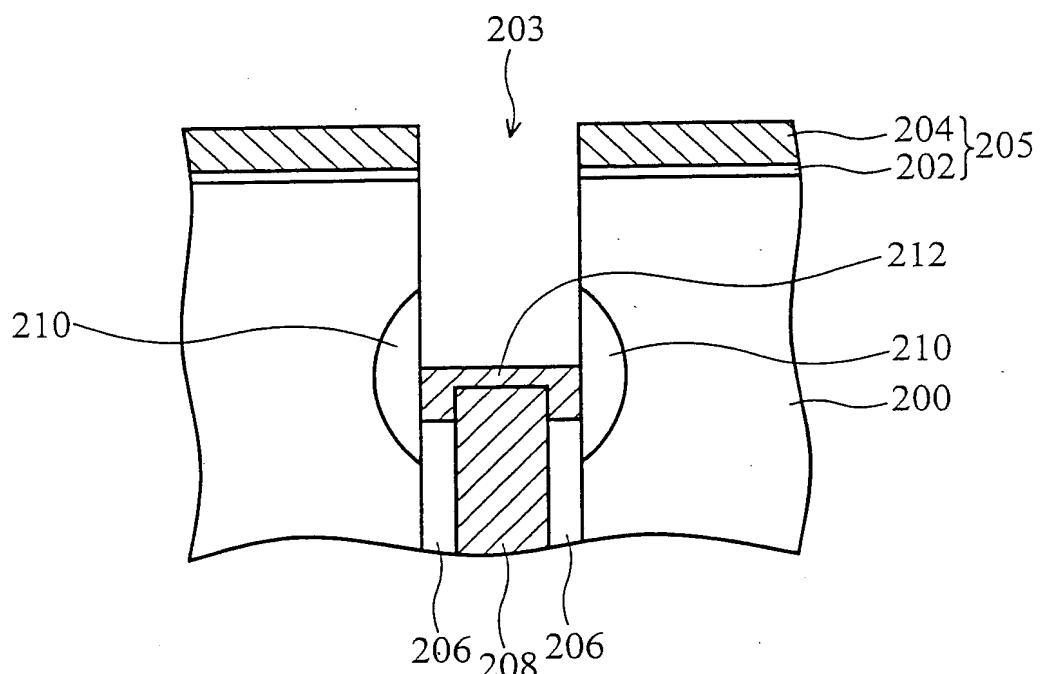
14. 如申請專利範圍第11項所述之具有溝槽頂端絕緣層之半導體裝置，其中該第二導電層係一摻雜的複晶矽層。

15. 如申請專利範圍第11項所述之具有溝槽頂端絕緣層之半導體裝置，其中該凸型絕緣層係由四乙基矽酸鹽(TEOS)所形成之氧化物。

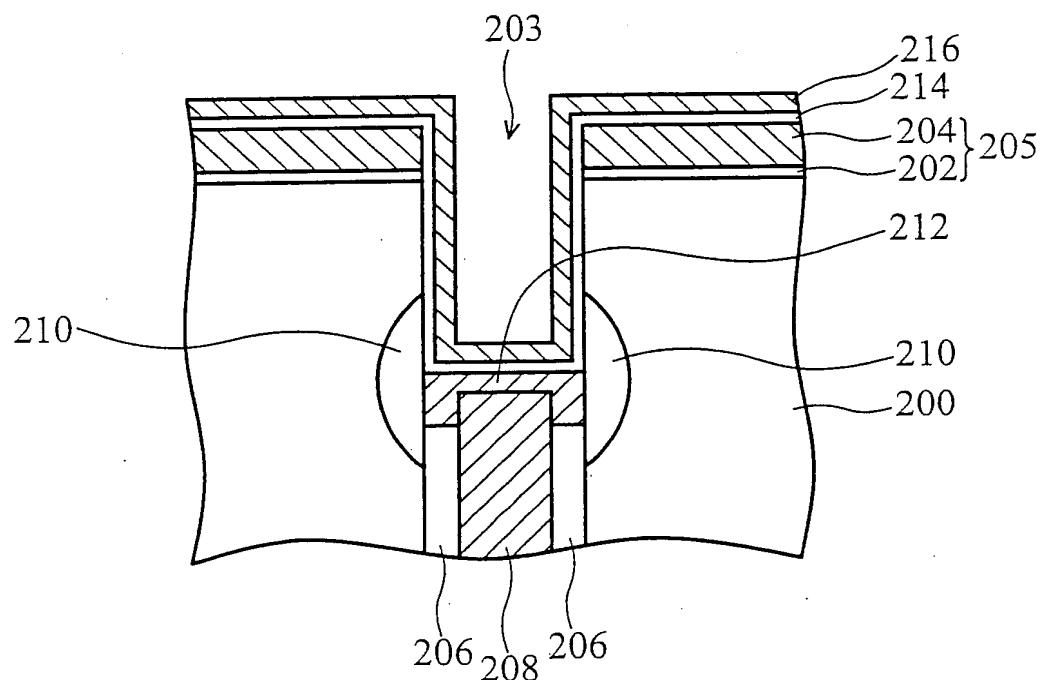




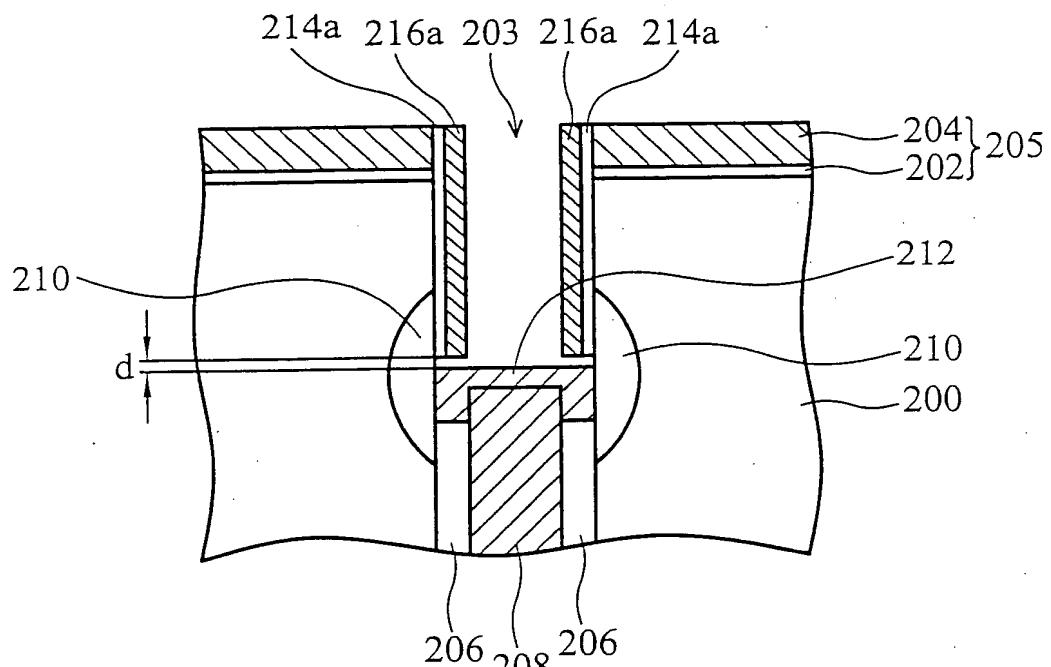
第 1 圖



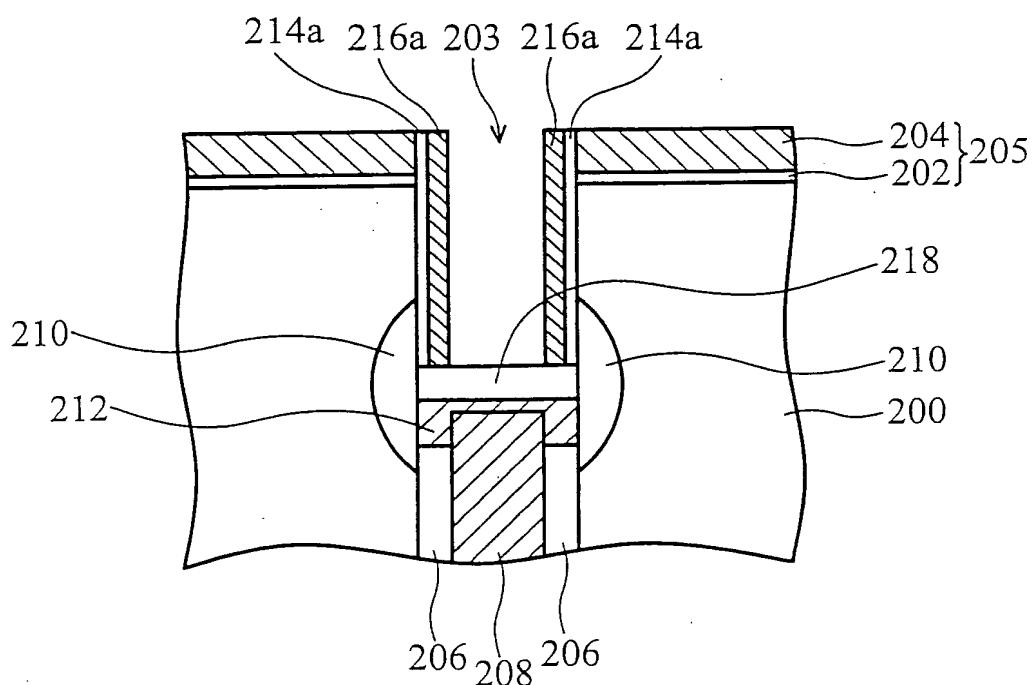
第2a圖



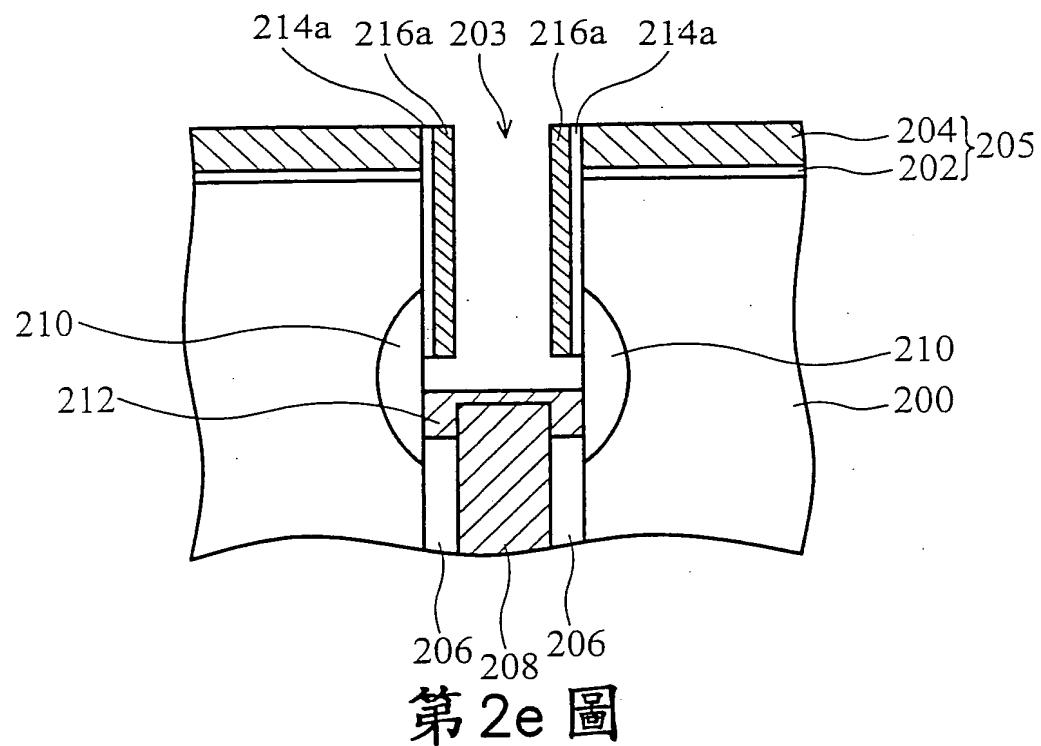
第2b圖



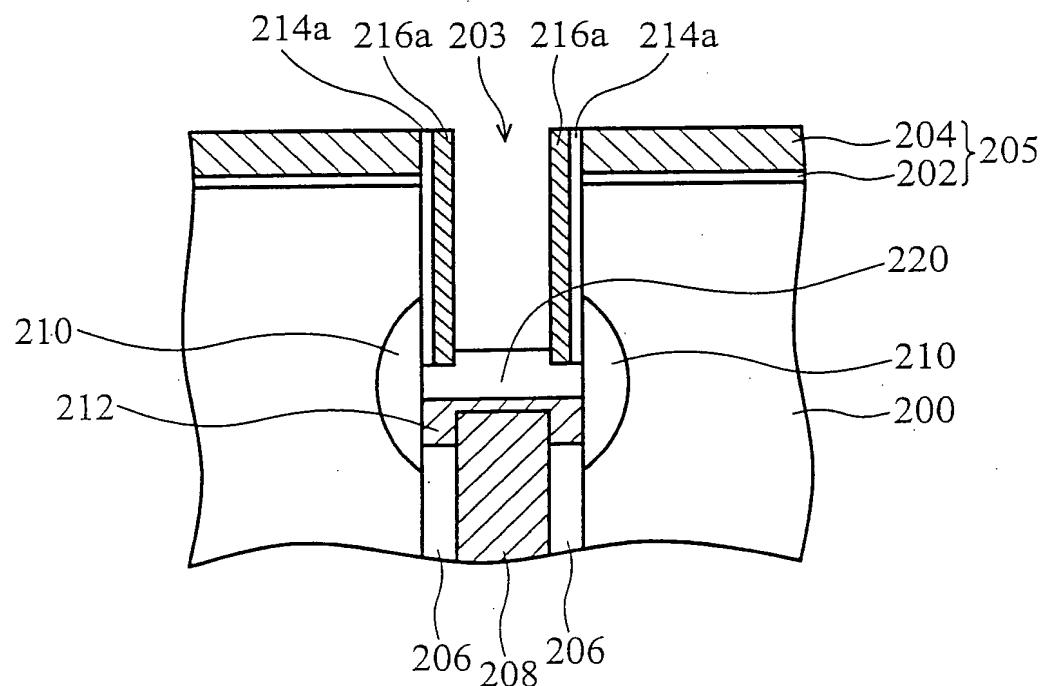
第2c圖



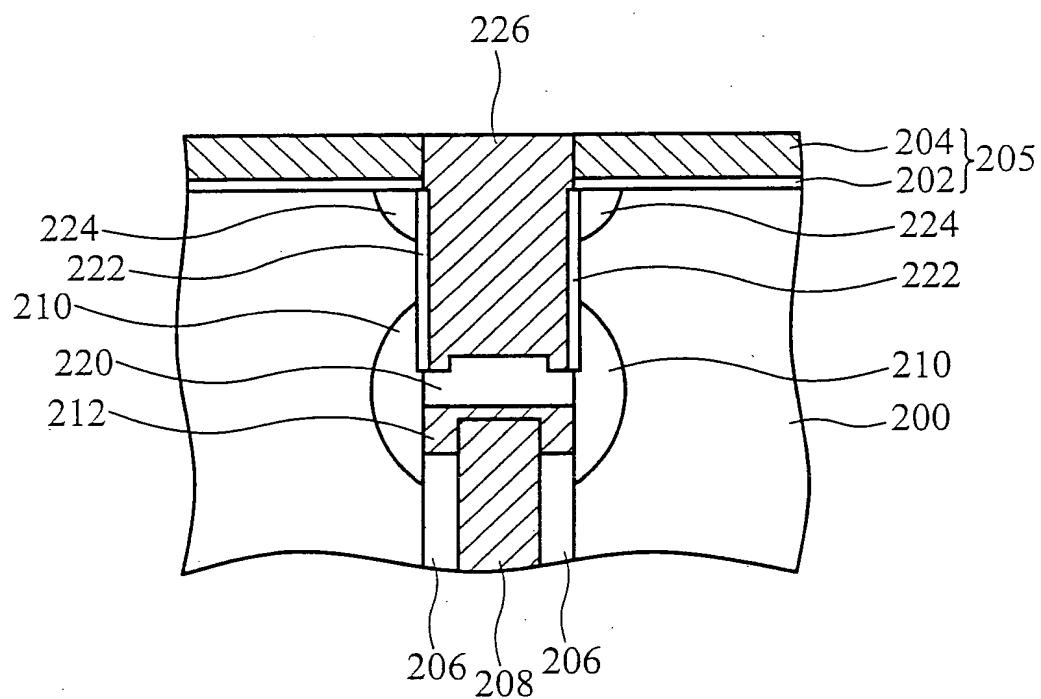
第2d圖



第 2e 圖

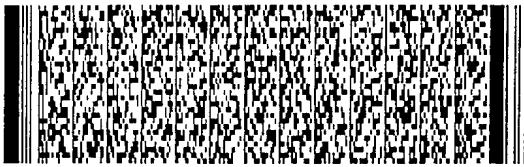


第 2f 圖



第 2g 圖

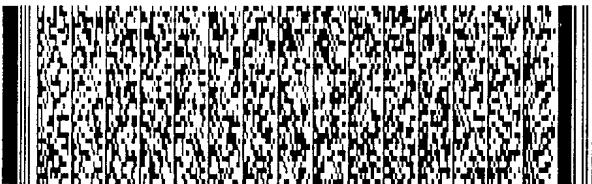
第 1/19 頁



第 2/19 頁



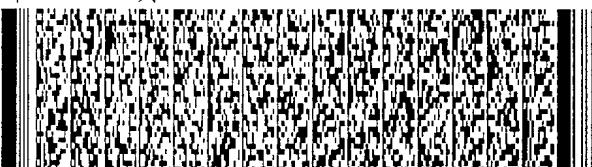
第 3/19 頁



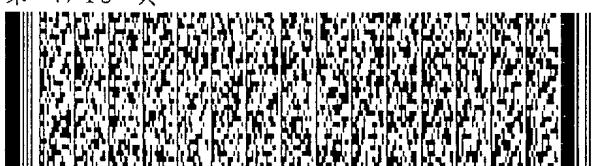
第 5/19 頁



第 6/19 頁



第 7/19 頁



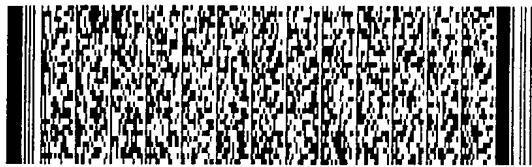
第 8/19 頁



第 9/19 頁



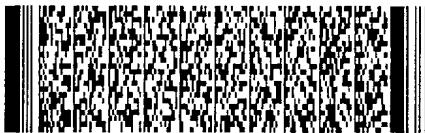
第 1/19 頁



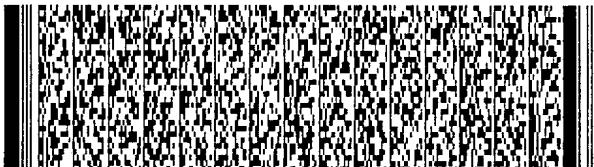
第 2/19 頁



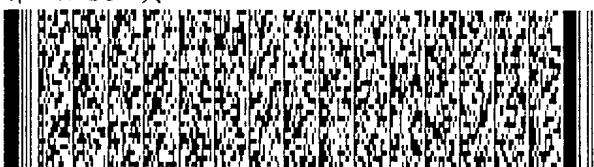
第 4/19 頁



第 6/19 頁



第 7/19 頁



第 8/19 頁



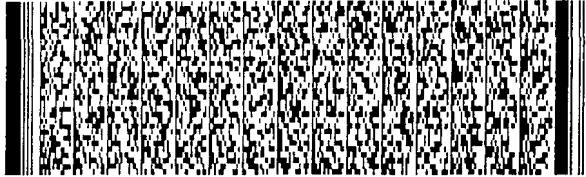
第 9/19 頁



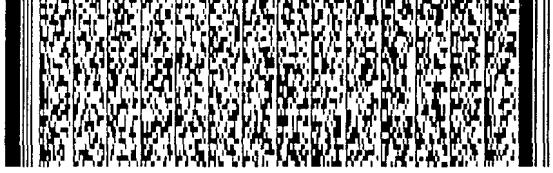
第 10/19 頁



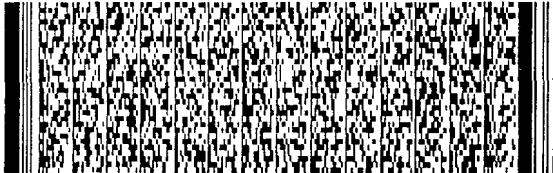
第 10/19 頁



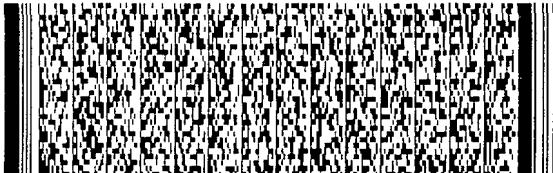
第 11/19 頁



第 12/19 頁



第 13/19 頁



第 14/19 頁



第 15/19 頁



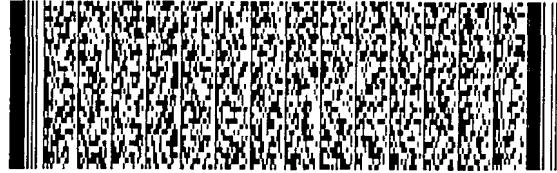
第 16/19 頁



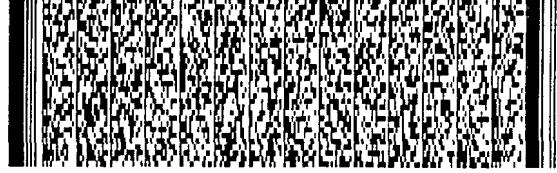
第 17/19 頁

第 18/19 頁

第 11/19 頁



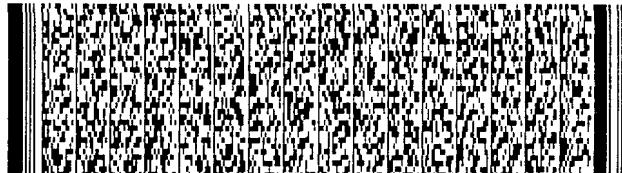
第 12/19 頁



第 13/19 頁



第 14/19 頁



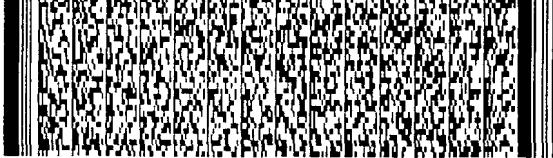
第 15/19 頁



第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

